基于 FPGA 的软 X 射线 CCD 驱动电路设计

郝玉婷[1,2]，韦 飞[1]，冷 双[1]，李咪咪[1,2]
（1. 中国科学院空间科学与应用研究中心 北京 100190；2. 中国科学院大学 北京 100190）

摘要：CCD 是实现空间软 X 射线探测任务的核心部件，E2V 公司的科学级 CCD42-10 BI AIMO 对空间软 X 射线探测具有较高的灵敏度、低噪声水平和高读出速度，本文针对该款 CCD 提出了一种基于 FPGA 的驱动电路设计方案。选用 Xilinx 公司的 XC3S500E 作为驱动电路的核心器件，通过 VHDL 语言对驱动时序进行了硬件描述，采用 EL7202 作为 CCD 驱动芯片。仿真与实验测试结果表明，该设计可以满足科学级 CCD42-10 BI AIMO 的驱动电路要求。

关键词：软 X 射线；CCD；驱动电路；FPGA
中图分类号：TN386.5 文献标识码：A 文章编号：1674-6236(2016)03-0094-04

Design of driving circuit of soft X-ray CCD based on FPGA

HAO Yu-ting[1,2], WEI Fei[1], LENG Shuang[1], LI Mi-mi[1,2]
(1. *National Space Science Center*, *Chinese Academy of Science*, *Beijing* 100190, *China*;
2. *Univer Sity of Chinese Academy of Science*, *Beijing* 100190, *China*)

Abstract: CCD is the core component for realizing space soft X-ray exploring mission. According to the requirements for space soft X-ray exploring, the scientific CCD42-10 BI AIMO produced by E2V Company has high sensitivity, low noise and high readout speed, and a driving circuit based on FPGA is designed. This design is developed on the XC3S500E hardware platform, using VHDL language to describe the driving timing. The CCD is driven by EL7202 chips. The simulation and testing results indicate that the CCD performed stably, and the design matches the driving requirements of CCD42-10 BI AIMO.

Key words: soft X-ray; CCD; driving circuit; FPGA
DOI:10.14022/j.cnki.dzsjgc.2016.03.028

空间软 X 射线观测是获得高温等离子体温度、密度、运动速度等重要参数的有效途径，对研究太阳耀斑爆发及演化过程的加热机制及其动力学行为具有极其重要的研究价值[1]。科学级 CCD 由于其体积小、重量轻、噪声低、分辨率高等优点，近年来在越来越多的空间 X 射线观测任务中得到应用。

科学级 CCD 对驱动电路有着严格的要求，它的性能是影响 CCD 的转换效率、信噪比特性和系统时间分辨率水平的重要因素。因此，驱动电路的设计是科学级 CCD 在空间 X 射线观测应用中的关键问题之一。传统的 CCD 驱动时序设计方法主要有单片机驱动法、EPROM 驱动法和 DSP 驱动法等，这些设计方法缺乏灵活性、可移植性差。FPGA 逻辑控制电路具有硬件可编程、处理速度快、可靠性高等特点，非常适于 CCD 驱动时序的设计。文中首先简单介绍了科学级探测器 CCD42-10 BI AIMO 的性能和结构，然后在分析了其工作驱动时序的基础上，提出了一种基于 FPGA 的科学级全帧 CCD 驱动电路的设计方案。

1 CCD42-10 BI AIMO 芯片

CCD42-10 BI AIMO 是英国 E2V 公司生产的全帧面阵 CCD。此款 CCD 采用背照式结构，适用于空间 X 射线观测，显著提高了其量子效率[2]。高级反转模式(AIMO)能够极大地减少暗电流的产生率，从来源上减小暗电流噪声，使对 CCD 的制冷要求降低到一定水平，用半导体制冷的方法就能够达到制冷要求[3]。其主要的性能参数如表 1 所示。

表 1 CCD42-10 BI AIMO 性能参数值
Tab. 1 Performance parameter of CCD42-10 BI AIMO

性能参数	数值
灵敏度	4.5 μV/e⁻
最大读出频率	3 MHz
动态范围	33333/1
读出噪声(20 kHz)	3e⁻ rms
暗电流(253K)	1 e⁻/pixel/s

CCD42-10 BI AIMO 由感光区、水平寄存器和片上输出放大器组成，其结构如图 1 所示。感光区有效像元数为 2 048*515，由行转移时钟 IΦ1、IΦ2、IΦ3 驱动控制。水平移位寄存器被金属铝遮蔽不会曝光，由像素读出时钟 RΦ1、RΦ2、RΦ3 驱动，与感光区对应两边分别多出 50 个空像元，用作暗电平参考，以减小暗电流噪声[4]。片上放大器上需施加复位时钟 ΦR，实现对每个像素读出前的参考电平复位。

收稿日期：2015-04-16 稿件编号：201504166
基金项目：中国科学院战略性先导科技专项(XDA04070000)
作者简介：郝玉婷(1987—)，女，江苏沛县人，硕士研究生。研究方向：高分辨率低噪声 CCD 传感器读出系统开发。

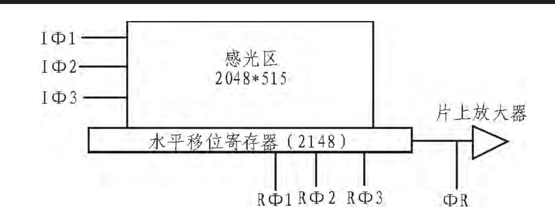


图 1　CCD42-10 BI AIMO 结构图
Fig. 1　Structure diagram of CCD42-10 BI AIMO

2　驱动时序分析

图 2 为 CCD42-10 BI AIMO 的工作时序图，从图中可以明显看出，CCD42-10 BI AIMO 的一个工作周期分两个阶段：光积分阶段、电荷转移阶段。

光积分阶段，感光区的光敏阵列接受外界光源照射产生光电荷。因 CCD42-10 BI AIMO 采用先进的高级反转模式技术，在光积分期间，时钟脉冲 IΦ1、IΦ2 和 IΦ3 保持低电平即可控制感光区收集电荷。

光积分结束后进入电荷转移阶段，行转移和像素读出交替进行，直至感光区的像素电荷被完全读出。行转移是在行转移时钟 IΦ1、IΦ2、IΦ3 的驱动下，将感光区中的感光电荷整行向下转移一行，位于感光区的最下面一行像素电荷则转移到水平寄存器中。垂直行转移过程共需要 515 个行转移周期(TI)。在进行行转移时，像素读出时钟 RΦ1、RΦ2 保持固定的高电平，以形成势阱收集感光区转移来的像素电荷；RΦ3 则保持固定的低电平，起到像素隔离的作用。

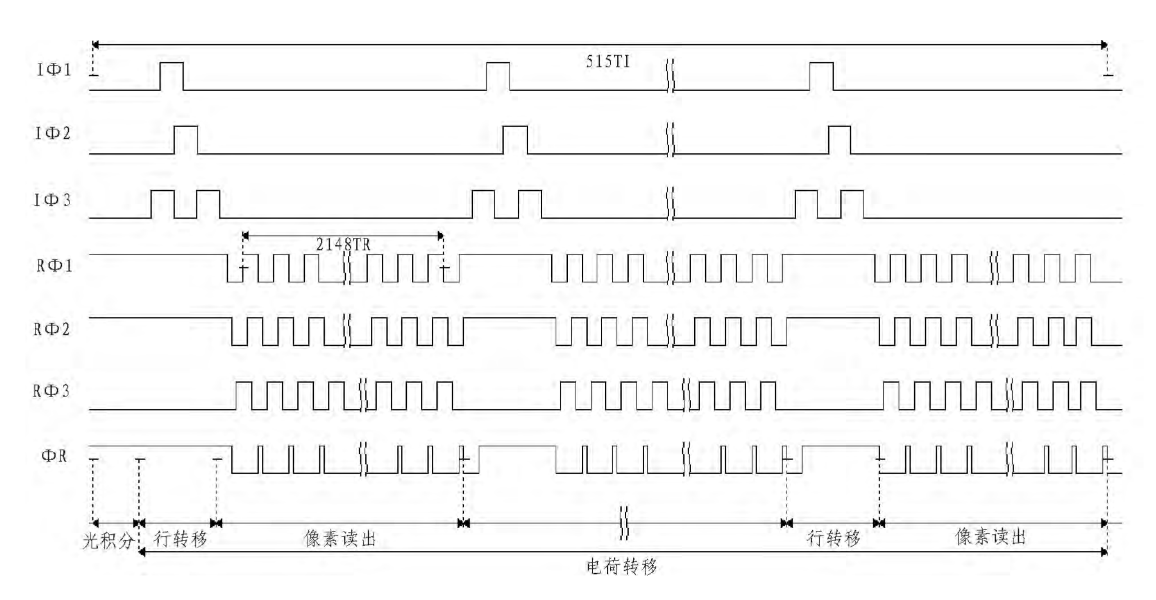


图 2　CCD42-10 BI AIMO 驱动时序图
Fig. 2　Driving timing diagram of CCD42-10 BI AIMO

每进行完一次行转移，则进入像素读出阶段。在像素读出时钟 RΦ1、RΦ2、RΦ3 的控制下，将水平移位寄存器中的像素电荷依次转移，然后在复位时钟脉冲 ΦR 的控制下，对每个像素进行参考电平复位，最后通过片上输出放大器输出。每一行像素的读出共需要 2 148 个像素读出周期(TR)。

3　CCD42-10 BI AIMO 驱动电路设计

根据前面对驱动时序的分析，如图 3 所示，将 CCD42-10 BI AIMO 的驱动电路分为 3 个单元进行设计[5]：时序产生单元(FPGA)、时序驱动单元(EL7202)、CCD 供电单元。

时序产生单元(FPGA)产生 CCD 工作所需的驱动时序，然后由驱动芯片 EL7202 驱动到 CCD 工作所需的电平值，此电压由 CCD 供电单元提供。供电单元还产生 CCD 传感器工作必需的偏置电压。

3.1　时序产生单元

选用 Xilinx 公司生产的 Spartan3E 系列的 XC3S500E 型号 FPGA，该器件具有丰富的资源，208 个接口，500 k 系统

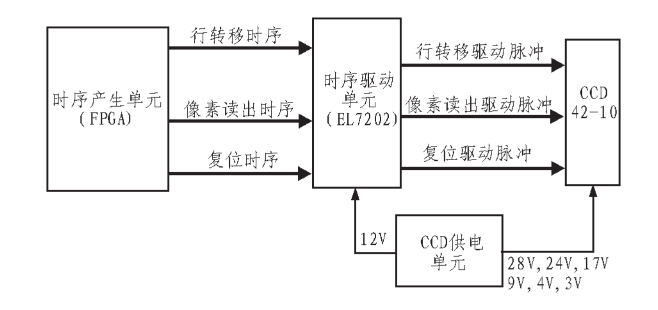


图 3　驱动电路结构框图
Fig. 3　Driving circuit diagram

门，同时还有 73 kbit 的 Distributed RAM 和 360 kbit 的 Block RAM，足以满足此次设计的需求[6]。

在使用 VHDL 语言编写程序时，采用自上而下、模块化的设计方法。选取行转移频率为 33 kHz，像元读出频率为 200 kHz，行转移时序和像素读出时序占空比均选为 50%，复位时序的占空比选为 10%。

把驱动时序划分为 3 个模块：行转移模块、像素读出模

块和帧控制模块。行转移模块用于产生 CCD 进行垂直行转移所需的驱动时序,包括 IΦ1、IΦ2 和 IΦ3。像素读出模块用于产生与水平像素读出相关的驱动时序，包括 RΦ1、RΦ2、RΦ3 和 ΦR。帧控制模块用于控制 CCD 的整个工作过程,包括控制光积分时间、行转移开始和结束时和像素转移时序的时间间隔,行转移次数和像素转移次数等。每个模块分别使用有限状态机实现,然后在顶层文件里使用元件例化的方法调用元件实现驱动时序设计[7]。下面详细介绍像素读出模块的设计,其他两个模块不再赘述。

根据驱动时序图，对像素读出时序 RΦ1、RΦ2、RΦ3 和 ΦR 进行划分,分为 S0-S7 共 8 个状态,如图 4(a)所示。

使用一个有限状态机来描述像素读出模块，如图 4(b)

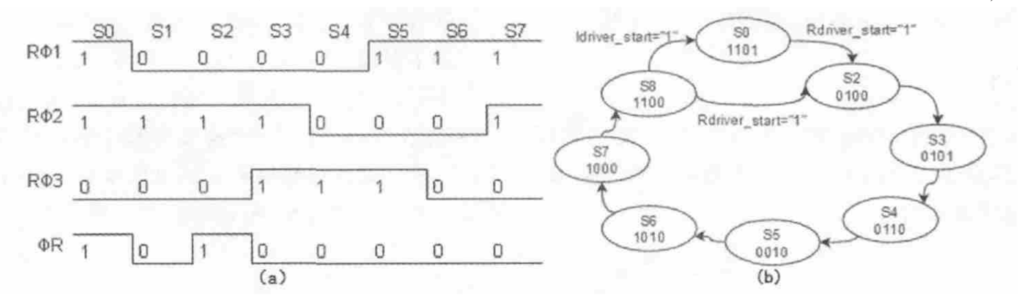


图 4　像素读出时序划分及状态机描述

Fig. 4　Segments and state machine description of pixel readout timing

所示。当 CCD 进行行转移时,输出 S0 状态的信号;当进行像素读出时,则连续依次输出 S1-S7 状态的信号,完成一个像素的读出。各状态的跳转由信号 Rdriver_start 和 Idriver_start 来控制:当 Idriver_start 为 1 时,表明 CCD 处于行转移阶段,进入 S0 状态,输出行转移所需要的驱动时序;当 Rdriver_start 为 1 时,表明 CCD 开始准备像素读出,依次进入 S1-S7 状态，不断循环直至把转移到水平移位寄存器中的像素完全读出。

完成对驱动时序的 VHDL 语言描述后,在 ISE 14.2 可编程逻辑集成开发环境下,对驱动时序进行仿真,仿真波形如图 5 所示,各个驱动时序的相位关系、频率、占空比等完全符合设计要求。

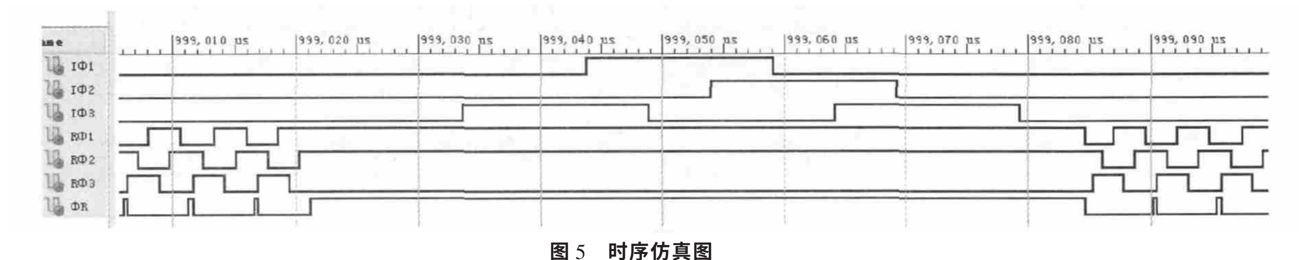


图 5　时序仿真图

Fig. 5　Timing simulation diagram

3.2　时序驱动单元

CCD 属于容性负载,对驱动时序信号有着一定的功率要求。CCD42-10 BI AIMO 正常工作所需的驱动时序电压取典型值 12V,而 FPGA 输出的时序电平只有 3.3 V,所以需要驱动芯片将驱动时序信号进行电平转换。CCD 正常驱动时所需的功率,可由下面公式进行计算:

$$P=C\times F\times V^2$$

式中:P 为功率大小,C 为电极等效电容,F 为工作频率,V 为驱动时序电压。CCD42-10 BI AIMO 工作时像素读出所需功率最大，像素读出引脚等效电容 80 pF，驱动时序电压 12 V,取最大工作频率 3 MHz[4]。通过计算,每一相像素转移驱动脉冲需要的功率为 34.56 mW。

根据此计算结果,选用公司的驱动芯片 EL7202,它可提供峰值电流 2 A，对满足 CCD42-10 BI AIMO 功率要求有足够的裕度。与其他驱动芯片 DS0026、ICL7667 等相比,EL7202 在驱动能力、反应时间、抑制噪声等各方面表现更为优秀,其上升沿和下降沿变化得更快,更能满足应用要求。

EL7202 芯片单电源工作,双通道输入输出。其电路原理图如图 6 所示:V+和 V-为供电电压输入引脚，分别为 12 V 和 0 V。供电电压 12 V 经过 20 Ω 的电阻连接到驱动芯片,可防止过冲现象。使用容值为 0.1 μF 的小电容并联 4.7 μF 的钽电容,减小电源纹波。每个驱动信号经过 EL7202 驱动后都接有 100 Ω 电阻，用来调节驱动脉冲的上升沿和下降沿时间,从而满足 CCD 驱动信号的要求。

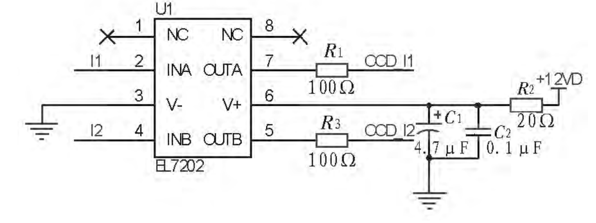


图 6　驱动器 EL7202 电路图

Fig. 6　EL7202 driving circuit

3.3　CCD 供电单元

CCD 供电单元提供给驱动芯片 EL7202 驱动电平以及

CCD42-10 BI AIMO 工作所需的各种偏置电压。CCD42-10 BI AIMO 的偏置电压包括衬底电压(+9 V)、倾倒漏极(+24 V)、放大器漏极(+28 V)、输出门极电压(+4 V、+3 V) 和复位管的复位电压(+17 V)。这些电压的好坏将直接影响到 CCD 的电荷转移效率和输出信号的信噪比。如果电压中引入噪声过大，严重的有可能在输出图像上产生条纹，所以有必要对这些电压进行滤波处理，将电压噪声降到最低[8]。CCD 的偏置电压所需的电流较小，可以通过调节电阻分压的方法使用 LM117 芯片实现，因其电路已经很成熟，在此不再赘述。

4　实验结果与分析

检测 CCD 的各种偏置电源正常后，接上 CCD42-10 BI AIMO，用示波器对驱动脉冲和 CCD 的输出信号进行观察。图 7 中(a)和(b)分别为行转移脉冲和像素转移脉冲波形图。图 8 为 CCD 输出信号波形。

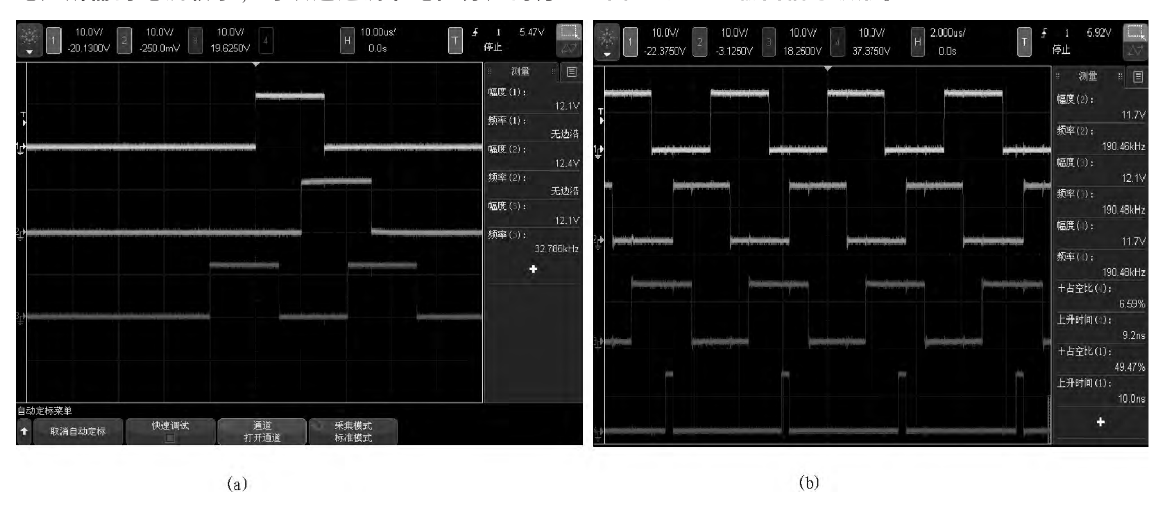


图 7　行转移脉冲和像素读出脉冲

Fig. 7　line transfer pulse and pixel readout pulse

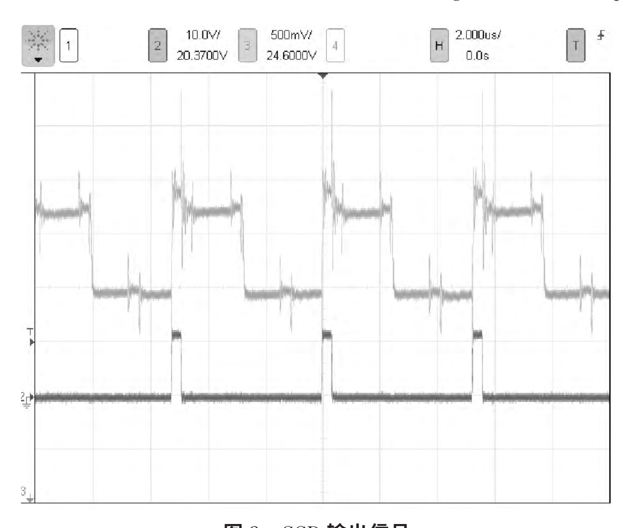


图 8　CCD 输出信号

Fig. 8　CCD output waveform

从图 7 中可以看出，行转移脉冲的频率为 33 kHz，像素转移脉冲的频率为 200 kHz，占空比均为 50%，高低电平分别为 12 V 和 0 V，以上驱动脉冲的电平值、频率、占空比等完全符合设计要求。图 8 的 CCD 输出波形表明设计的驱动电路可以驱动 CCD42-10 BI AIMO 正常工作。

5　结　论

使用 Xilinx 公司 Spartan3E 系列的 XC3S500E 型号FPGA 芯片，在 ISE 开发环境下采用硬件描述语言 VHDL 语言设计出科学级 CCD42-10 BI AIMO 工作所需的驱动时序信号，并选用高性能的驱动芯片 EL7202 保证提供给 CCD 高质量的驱动脉冲信号。仿真与实验结果表明，此驱动电路设计能够满足实际应用要求，可以用来驱动 CCD42-10 BI AIMO。

参考文献：

[1] Takako Kato，et al. X-Ray spectral analysis of Yohkoh bragg crystal spectrometer data on a 1992 September 6 Flare: The Blueshift Component and Ion Abundances[J]ApJ，1998，492(2):822-832.

[2] Janesick J R. Scientific charge -coupled devices [M]. Bellingham:SPIE press，2001.

[3] Janesick J. Muti-pinned-phase charge-coupled device[J]. NASA Tech Briefs，1990，14(8):22.

[4] E2V Products.CCD42-10 Back Illuminated High Performance AIMO CCD Sensor Datasheet [EB/OL].[2015-01-09].http://www.e2v.com/resources/account/download-datasheet/1178.pdf.

[5] 常磊，李国宁，金龙旭.基于FPGA的全帧型面阵CCD驱动时序设计[J].光学技术，2006(32):313-316.

[6] Xilinx Products.Spartan3E FPGA Family Datasheet[EB/OL]. [2013-07-19].http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf.

[7] 蒋小燕. EDA技术及VHDL[M].南京：东南大学出版社，2008.

[8] 许秀贞，李自田，薛利军. CCD 噪声分析及处理技术[J]. 红外与激光工程，2004，33(4):343-346.